



# Compléments sur la logique TTL-standard (séries 54/74)

© Fabrice Sincère      version 1.08

*<http://perso.orange.fr/fabrice.sincere>*

# Sommaire

## Introduction

## Chapitre 1 - Caractéristiques électriques d'une porte logique TTL-standard

1-1- Tensions

1-2- Courants

1-2-1- Courant de sortie (sortie « totem pôle »)

1-2-2- Courant d'entrée

1-3- Connexion d'une sortie à une entrée

1-4- Connexion d'une sortie à plusieurs entrées

1-5- Sortance (fan-out)

1-6- Connexion des sorties

1-7- Cas des entrées non utilisées

1-8- Découplage de la source d'alimentation

1-9- Durées de propagation

1-10- Fréquence maximale d'utilisation

1-11- Schéma interne des portes logiques

1-12- Consommation électrique

# Sommaire

**Chapitre 2- Porte à entrées « Trigger de Schmitt »**

**Chapitre 3- Sortie en configuration « buffer »**

**Chapitre 4- Sortie en configuration « collecteur ouvert »**

**Chapitre 5- Sortie en configuration « 3 états »**

**Chapitre 6- Autres familles TTL-5 volts**

**Conclusion**

**Bibliographie**

## Introduction

Les circuits intégrés de la famille TTL-Standard sont à l'échelle de l'électronique, très anciens (milieu des années 60).

Et pourtant, ils sont encore commercialisés !

J'ai en ma possession de vieux data book de Texas Instruments datant de 1972.

On y retrouve les fonctions habituelles (porte, multiplexeur, bascule, compteur, registre, buffer ...).

Certaines références sont maintenant caduques, mais la plupart existent encore (qui ne connaît pas la première de la série, le 7400 ?).

Je vous propose, dans ce qui suit, d'en savoir un peu plus.

# Chapitre 1 - Caractéristiques électriques d'une porte logique TTL-standard

## 1-1- Tensions

H = High-level = niveau logique « 1 » (en logique positive)

L = Low-level = niveau logique « 0 » (en logique positive)

I = Input

O = Output

- Gamme de température ambiante :

série 74 (usage commercial) : 0 à 70 °C

série 54 (usage militaire) : - 55 à +125 °C

TTL-Standard (série 74)	min.	typique	max.
$V_{CC}$ : tension d'alimentation	4,75	<b>5,0</b>	5,25
$V_{IH}$ : tension d'entrée au niveau haut	<b>2,0</b>		
$V_{IL}$ : tension d'entrée au niveau bas			<b>0,8</b>
$V_{OH}$ : tension de sortie au niveau haut	<b>2,4</b>	3,4	
$V_{OL}$ : tension de sortie au niveau bas		0,2	<b>0,4</b>

- En entrée :

0 à 0,8 V = niveau logique 0

2,0 à 5,0 V = niveau logique 1

0,8 à 2,0 V = niveau logique indéterminé (fonctionnement incorrect)

- En sortie :

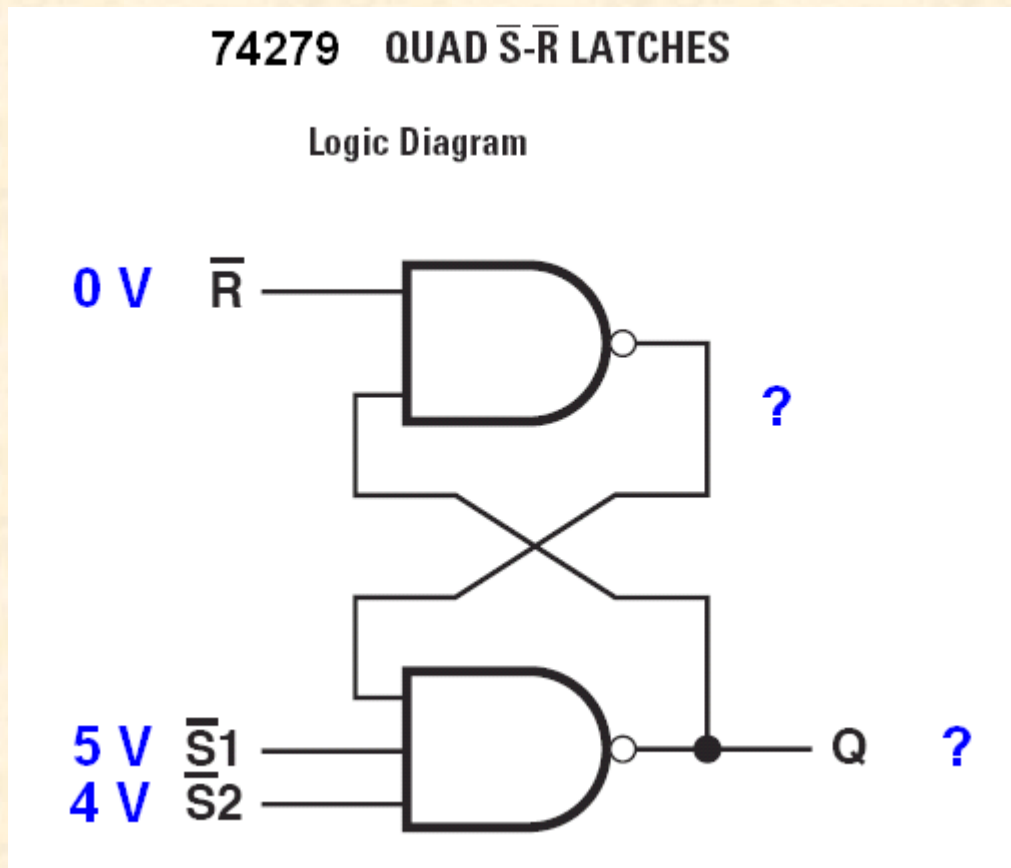
0 à 0,4 V = niveau logique 0

2,4 à 5,0 V = niveau logique 1

0,4 à 2,4 V = niveau logique indéterminé (fonctionnement incorrect)

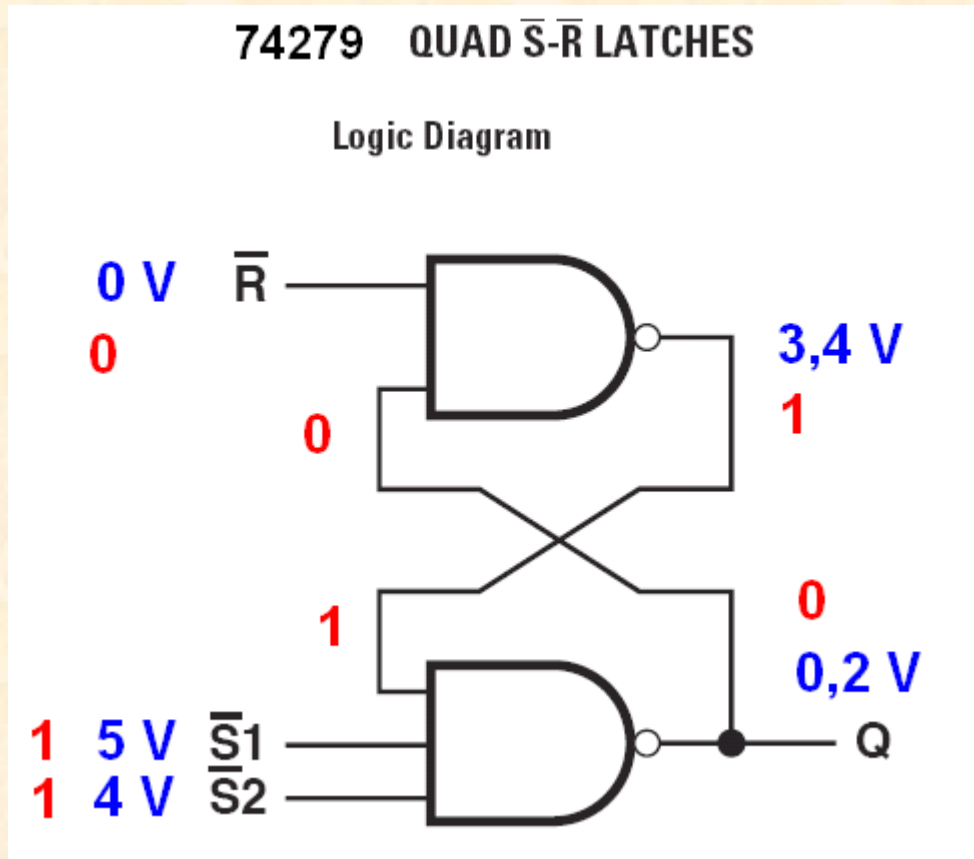
## • Exercice

Dans le circuit suivant, indiquer dans chaque branche le niveau logique et l'ordre de grandeur du potentiel électrique.





Correction :

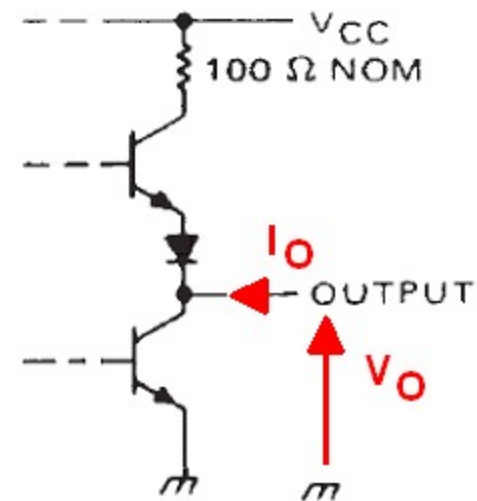
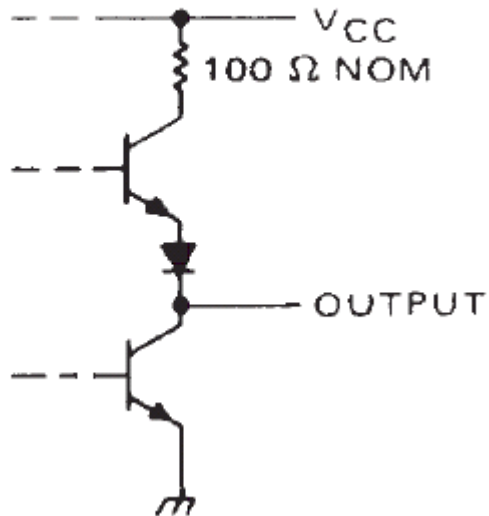


## 1-2- Courants

### 1-2-1- Courant de sortie $I_O$ (sortie « totem pôle »)

Sauf indication contraire, le circuit de sortie est en configuration « totem pôle » :

TYPICAL OF ALL OUTPUTS



- Au niveau haut, la sortie débite un courant.

Attention : pour un fonctionnement normal, il ne faut pas dépasser :

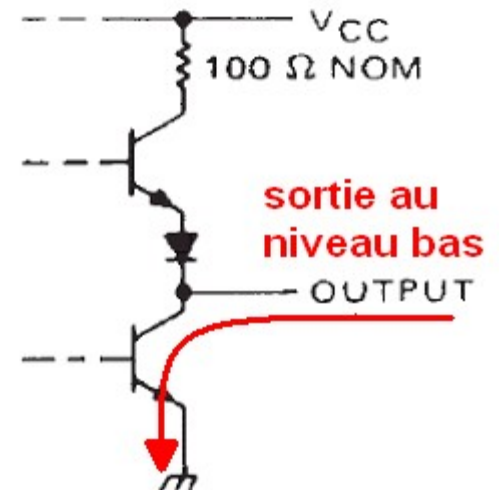
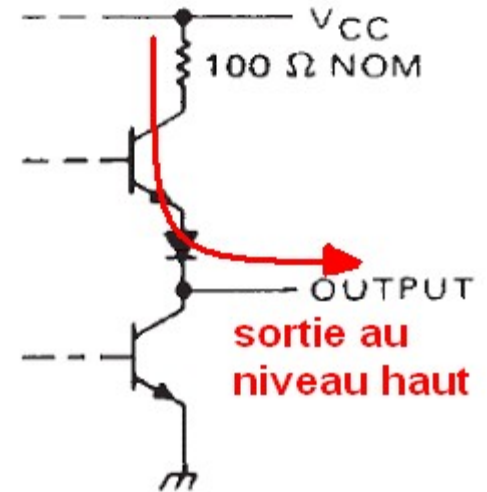
$$I_{OH} \text{ max} = - 400 \mu\text{A}$$

Remarque : avec la sortie en court-circuit à la masse, le courant peut atteindre - 55 mA ( $I_{OS} \text{ max}$ ).

- Au niveau bas, la sortie consomme un courant.

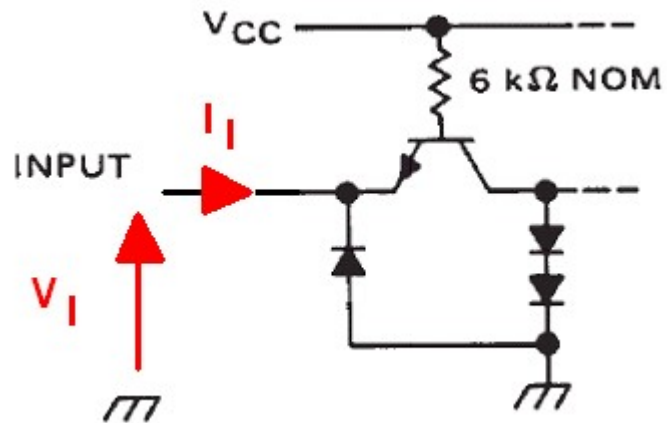
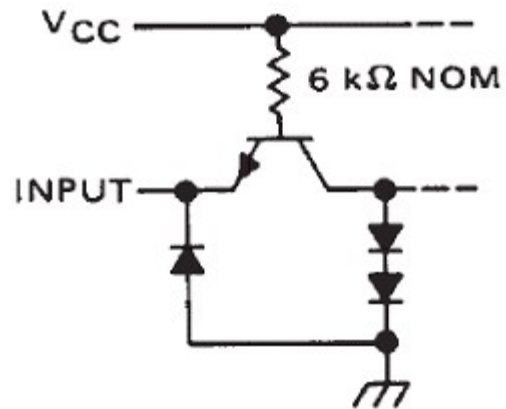
Attention : il ne faut pas dépasser :

$$I_{OL} \text{ max} = +16 \text{ mA}$$



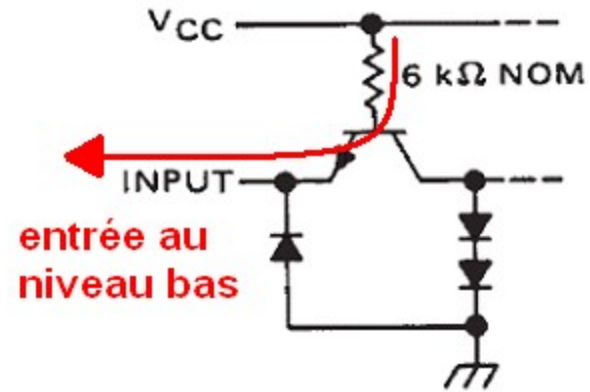
## 1-2-2- Courant d'entrée $I_I$

EQUIVALENT OF EACH INPUT



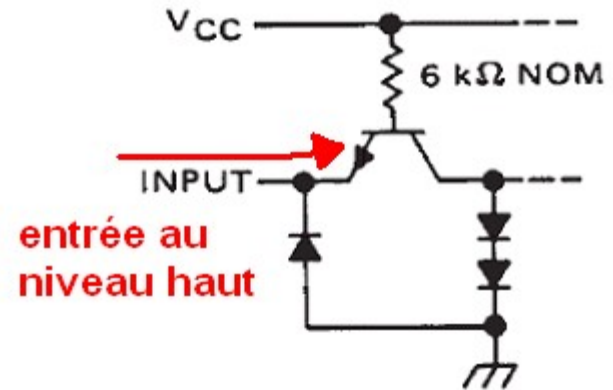
- Au niveau bas, l'entrée débite un courant.

$$I_{IL} \text{ max} = -1,6 \text{ mA}$$



- Au niveau haut, l'entrée consomme un faible courant (le transistor conduit en inverse).

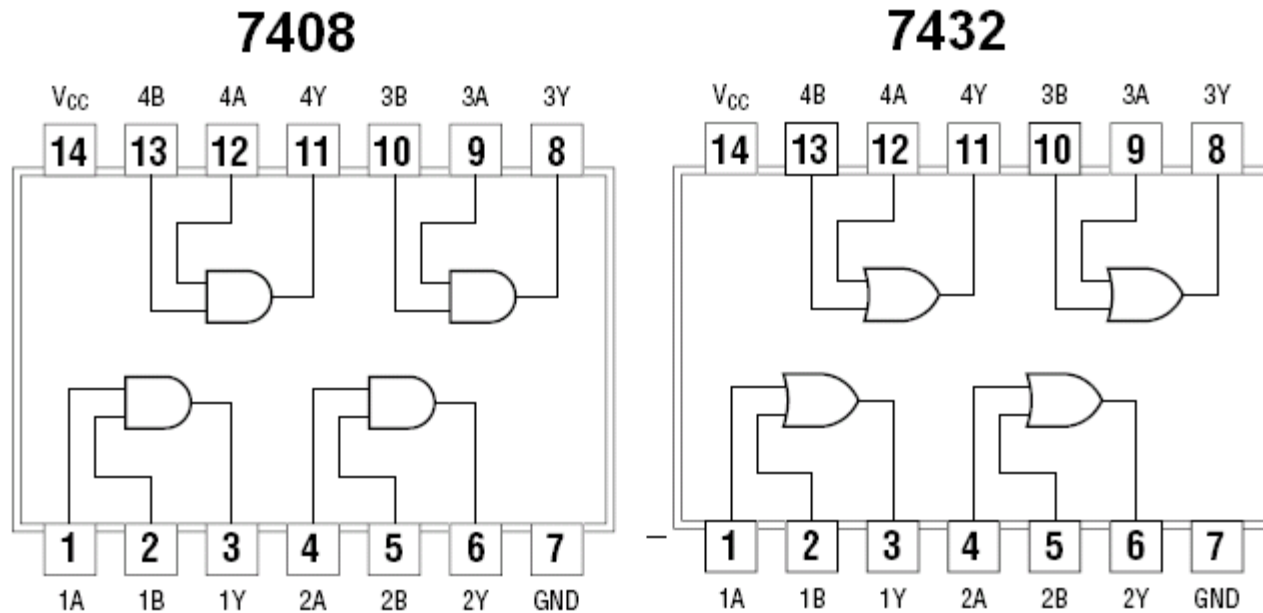
$$I_{IH} \text{ max} = +40 \text{ }\mu\text{A}$$



## 1-3- Connexion d'une sortie à une entrée

On relie une sortie TTL à une entrée TTL par un simple fil.

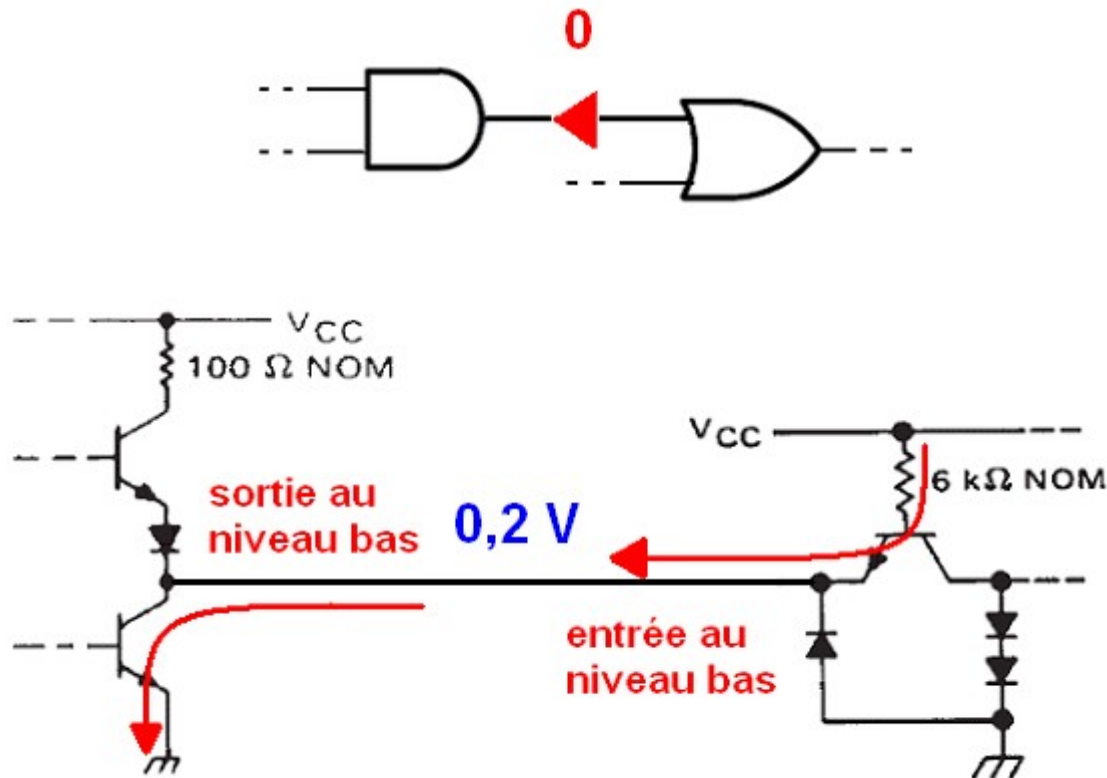
- Exemple : sortie d'une porte AND (7408) reliée à l'entrée d'une porte OR (7432) :



- Sortie au niveau bas

Le niveau commun est de l'ordre de 0,2 V : cela correspond bien à un niveau logique 0 pour la sortie et pour l'entrée.

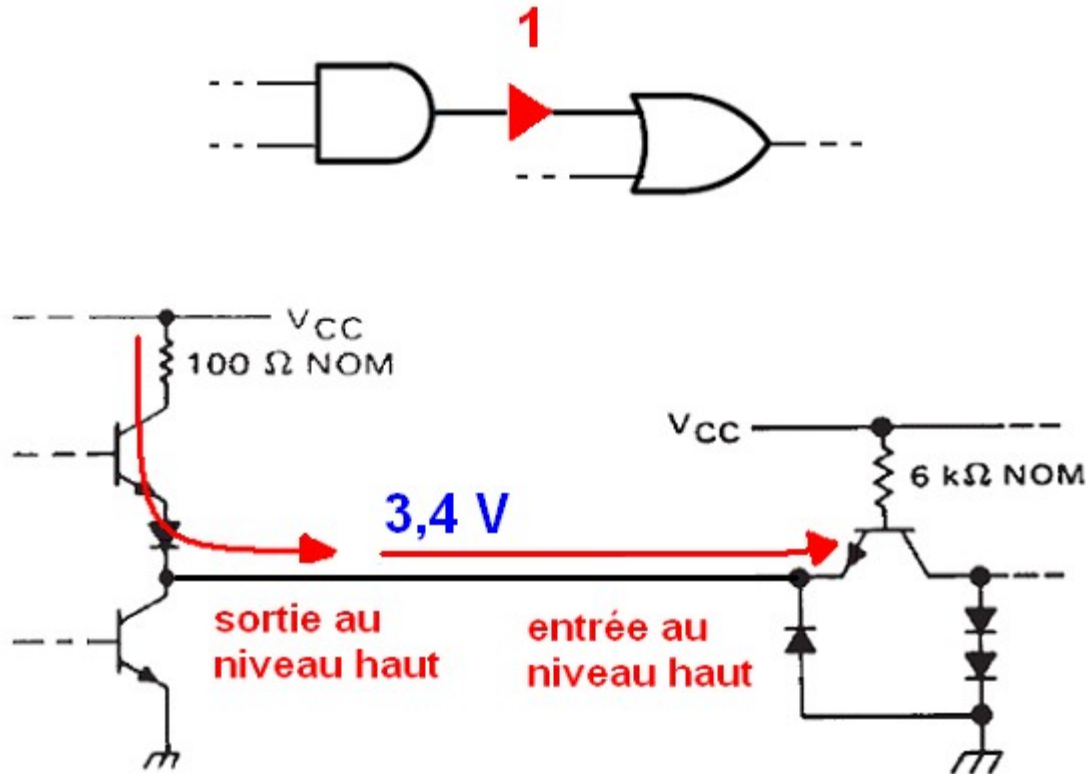
Un courant (1,6 mA max.) circule de l'entrée vers la sortie.



- Sortie au niveau haut

Le niveau commun est de l'ordre de 3,4 V : cela correspond bien à un niveau logique 1 pour la sortie et pour l'entrée.

Un courant ( $40 \mu\text{A}$  max.) circule de la sortie vers l'entrée.

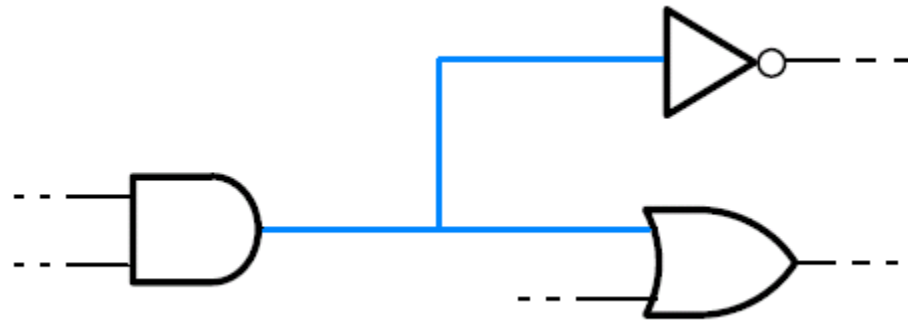




## 1-4- Connexion d'une sortie à plusieurs entrées

- Exemple

Sortie d'une porte AND (7408) reliée à l'entrée d'une porte OR (7432) et à l'entrée d'une porte inverseuse (7404) :

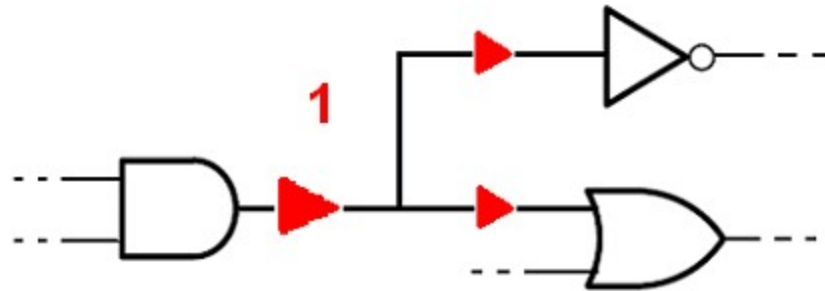


- Sortie au niveau haut

Un courant  $I_{IH}$  ( $40 \mu\text{A}$  max.) entre dans chaque entrée.

Pour deux entrées, cela fait donc un courant  $I_{OH}$  de  $80 \mu\text{A}$  (max.) en sortie.

Sachant que  $|I_{OH} \text{ max}| = 400 \mu\text{A}$ , on peut relier au maximum 10 entrées.

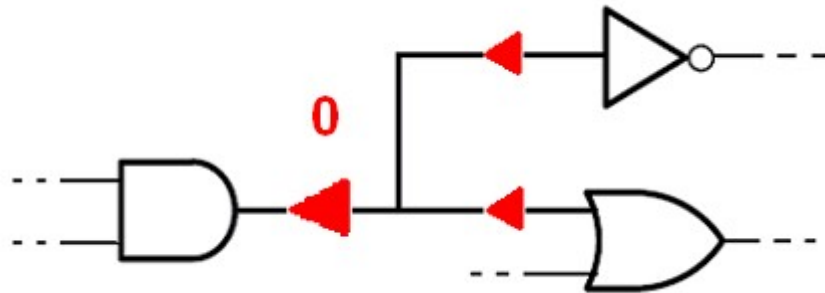


- Sortie au niveau bas

Un courant  $I_{IL}$  (1,6 mA max.) sort de chaque entrée vers la sortie.

Pour deux entrées, cela fait au total un courant  $I_{OL}$  de 3,2 mA (max.) en sortie.

Sachant que  $I_{OL} \text{ max} = 16 \text{ mA}$ , on peut relier au maximum 10 entrées à une sortie.



## 1-5- Sortance (fan-out)

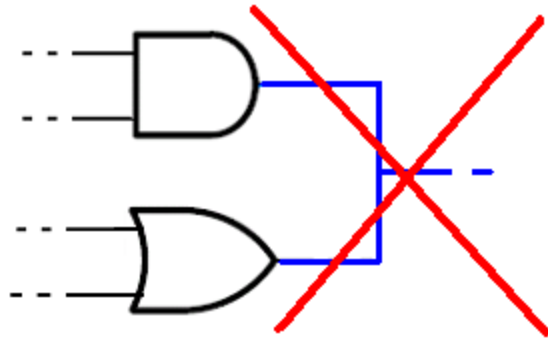
Définition : c'est le nombre maximum d'entrées que l'on peut connecter à une sortie.

**Sortance d'une porte TTL-standard = 10**

## 1-6- Connexion des sorties

Avec un circuit de sortie en configuration « totem pôle », on ne peut pas connecter plusieurs sorties entre elles.

Une sortie est normalement reliée à des entrées (10 au maximum).



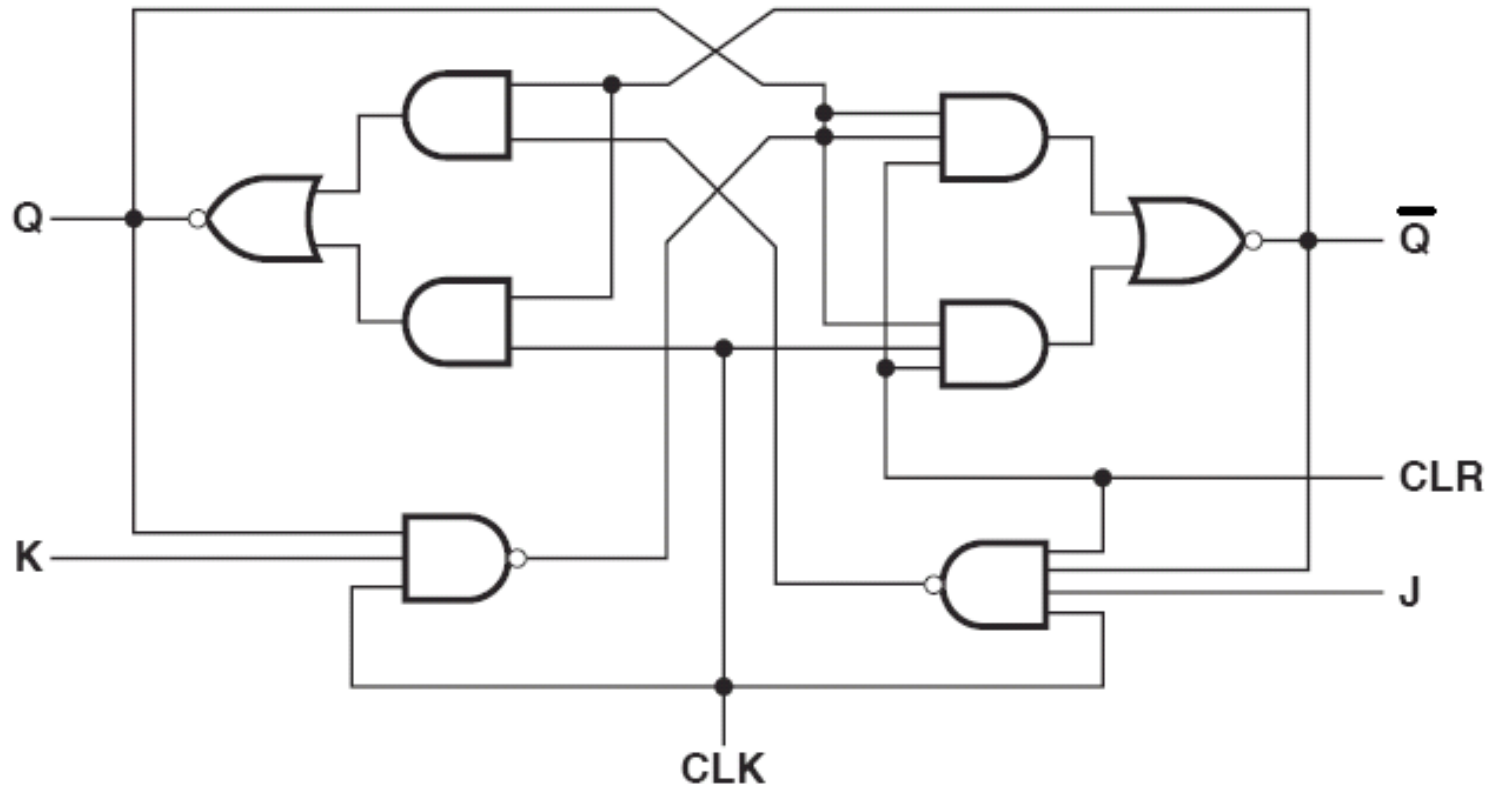
Nous verrons plus loin qu'il existe des configurations qui autorisent la connexion entre sorties :

- circuit de sortie en configuration « collecteur ouvert »
- circuit de sortie en configuration « 3 états »

## • Exercice

1- Identifier les entrées et les sorties.

2- Chercher l'erreur.



Correction :

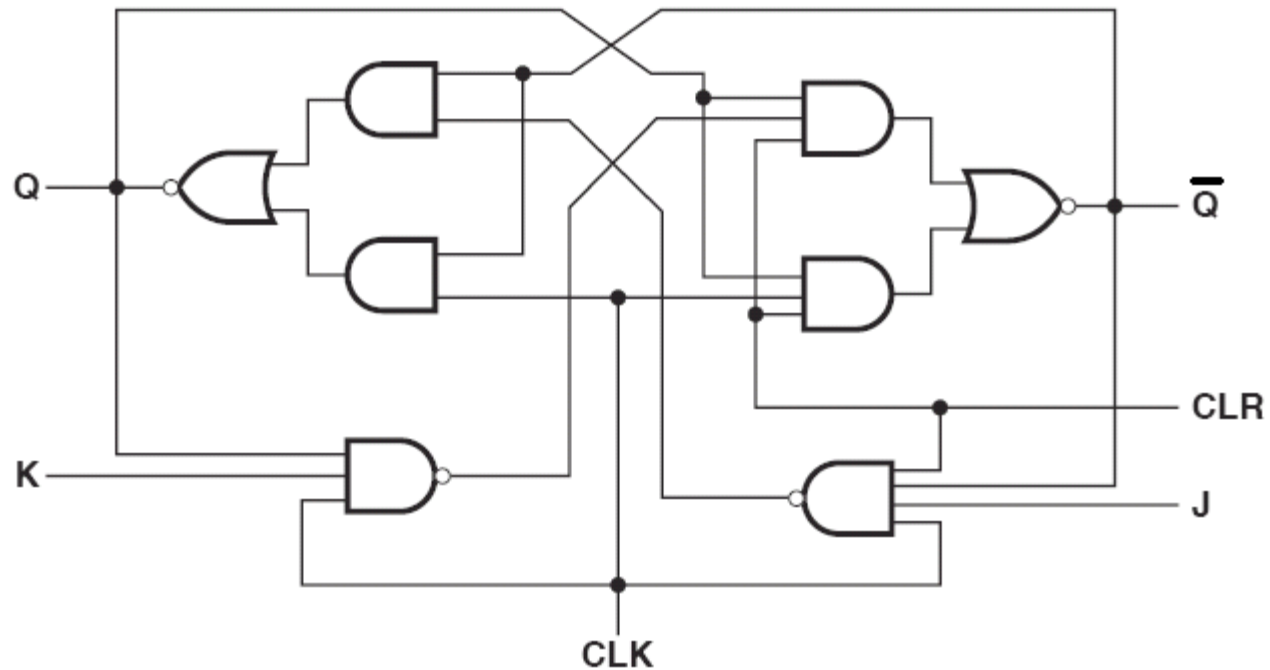
1- entrées : J, K, CLK, CLR

sorties : Q, /Q

2-

### 7473 DUAL J-K FLIP-FLOPS WITH CLEAR

Logic Diagram



## 1-7- Cas des entrées non utilisées

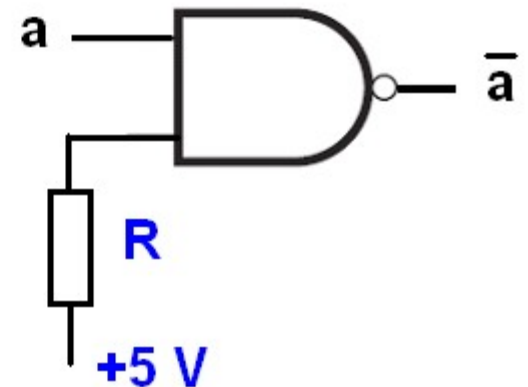
Les entrées non utilisées doivent être forcées à un niveau logique défini (suivant le cas, niveau bas ou bien niveau haut).

On évite ainsi de dégrader l'immunité aux bruits ainsi que les durées de propagation (voir plus loin).

### - Niveau haut

Pour les portes NAND et AND, on relie les entrées non utilisées à  $V_{CC}$  via des résistances  $R$  de  $1\text{ k}\Omega$  à  $10\text{ k}\Omega$ .

Exemple : on veut réaliser une porte inverseuse à partir d'une porte NAND à 2 entrées :



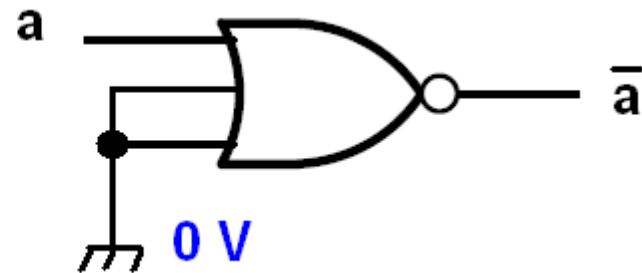


## - Niveau bas

Pour les portes NOR et OR, on relie les entrées non utilisées directement à la masse.

Malheureusement, on consomme alors un courant assez important ( $I_{IL} \text{ max} = -1,6 \text{ mA}$ ).

Exemple : on veut réaliser une porte inverseuse à partir d'une porte NOR à 3 entrées (7427) :



- Les entrées des portes non utilisées doivent également être reliées à  $V_{CC}$  via des résistances de  $1 \text{ k}\Omega$  à  $10 \text{ k}\Omega$ .

## 1-8- Découplage de la source d'alimentation

Les circuits logiques (en particulier les compteurs et les registres à décalage) sont sensibles aux perturbations électriques.

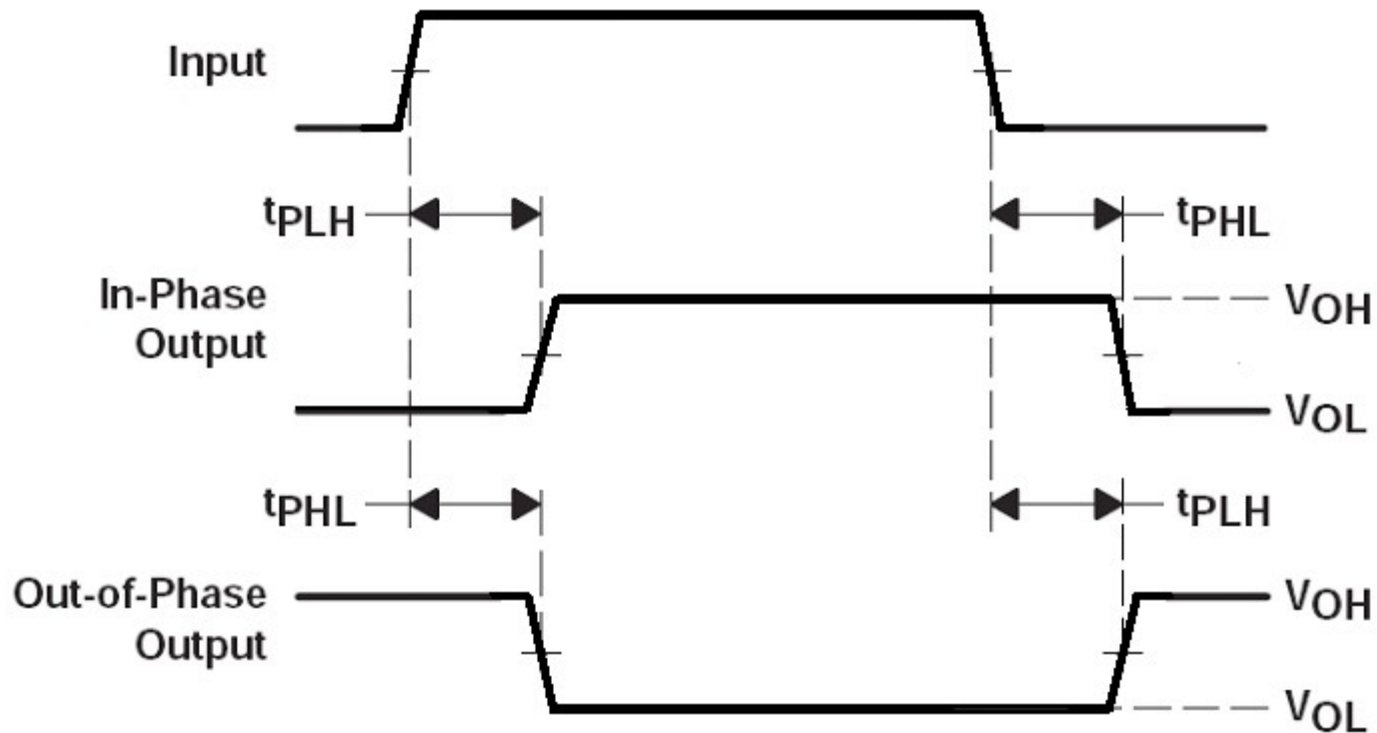
Ces perturbations proviennent de la source d'alimentation mais aussi des circuits logiques eux-mêmes qui sont sources de pollution.

On peut adopter la règle suivante :

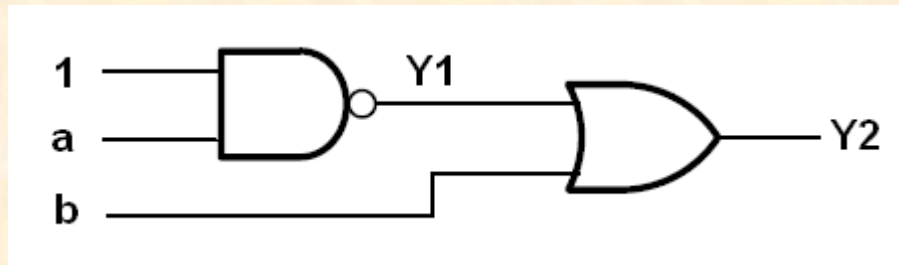
*Un condensateur de 10 à 100 nF par boîtier (à connecter le plus près possible).*

## 1-9- Durées de propagation

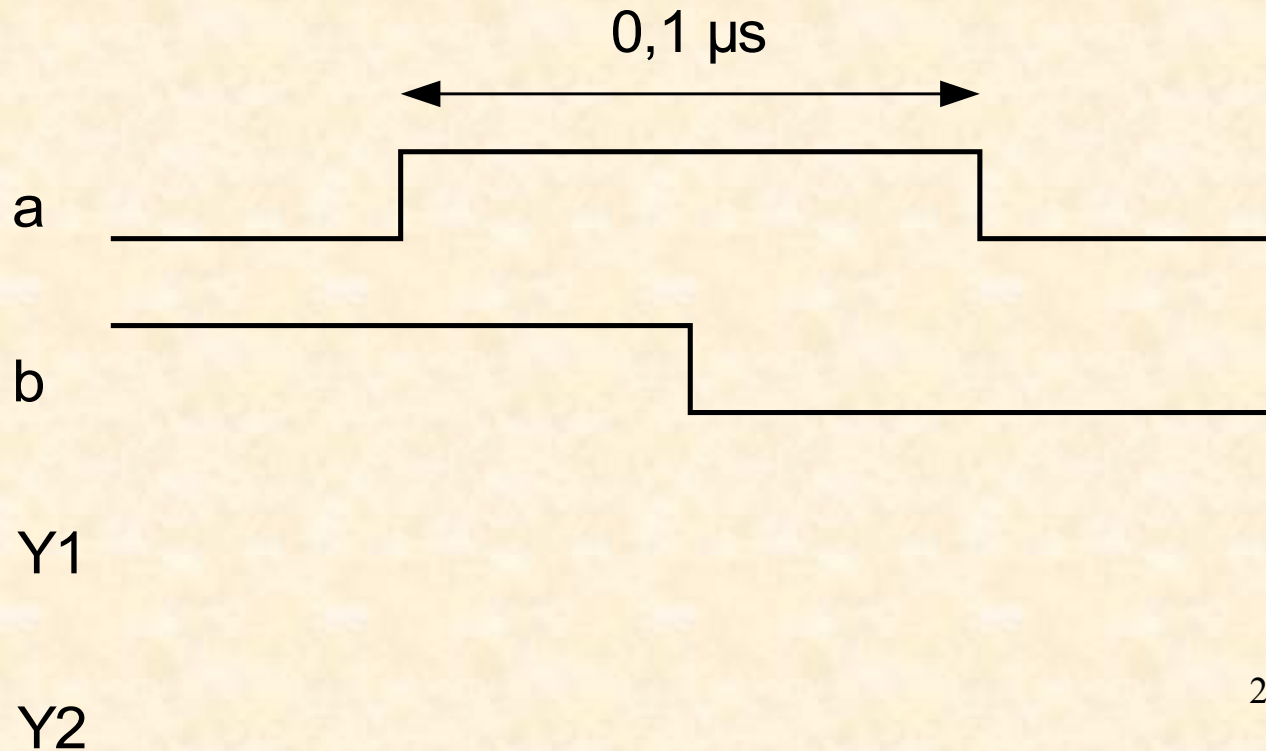
Une porte a besoin d'un certain temps (ça se mesure en nanosecondes) pour effectuer son travail.



## • Exercice



- 1- Compléter le chronogramme dans le cas idéal.
- 2- Compléter le chronogramme en tenant compte des durées de propagation.
- 3- Commentaire ?



On donne :

7400 (quadruple portes NAND à 2 entrées)

$$t_{\text{PLH}} = 11 \text{ ns (typique)}$$

$$t_{\text{PHL}} = 7 \text{ ns (typique)}$$

7432 (quadruple portes OR à 2 entrées)

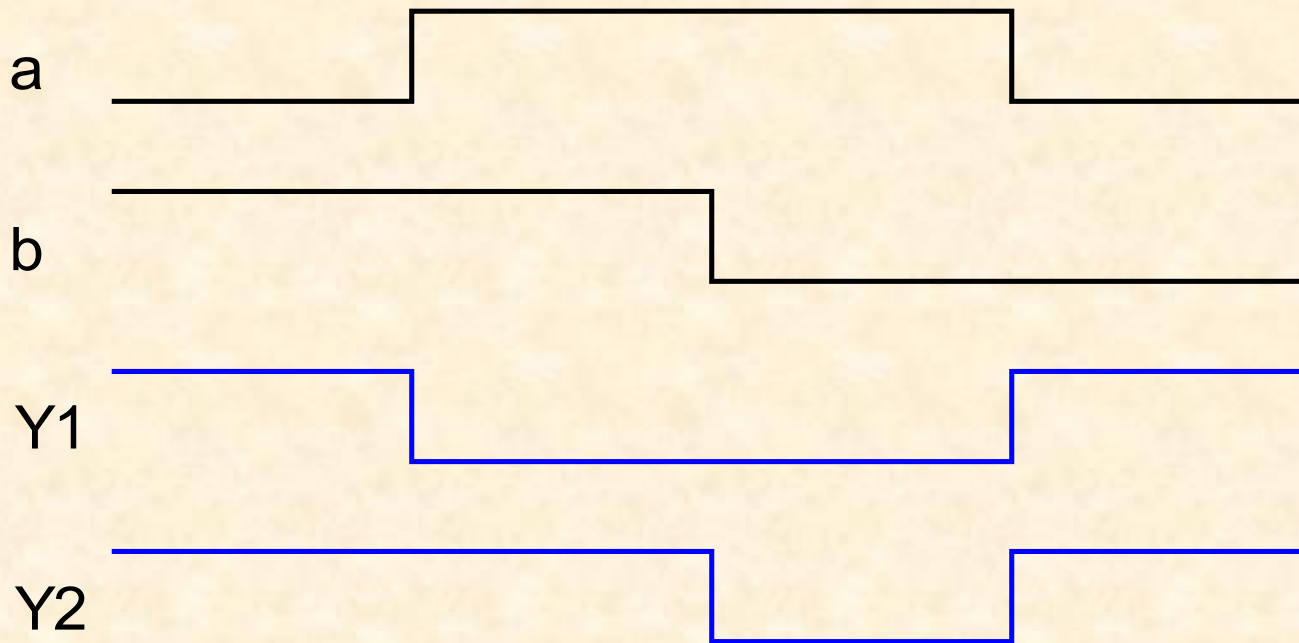
$$t_{\text{PLH}} = 10 \text{ ns (typique)}$$

$$t_{\text{PHL}} = 14 \text{ ns (typique)}$$

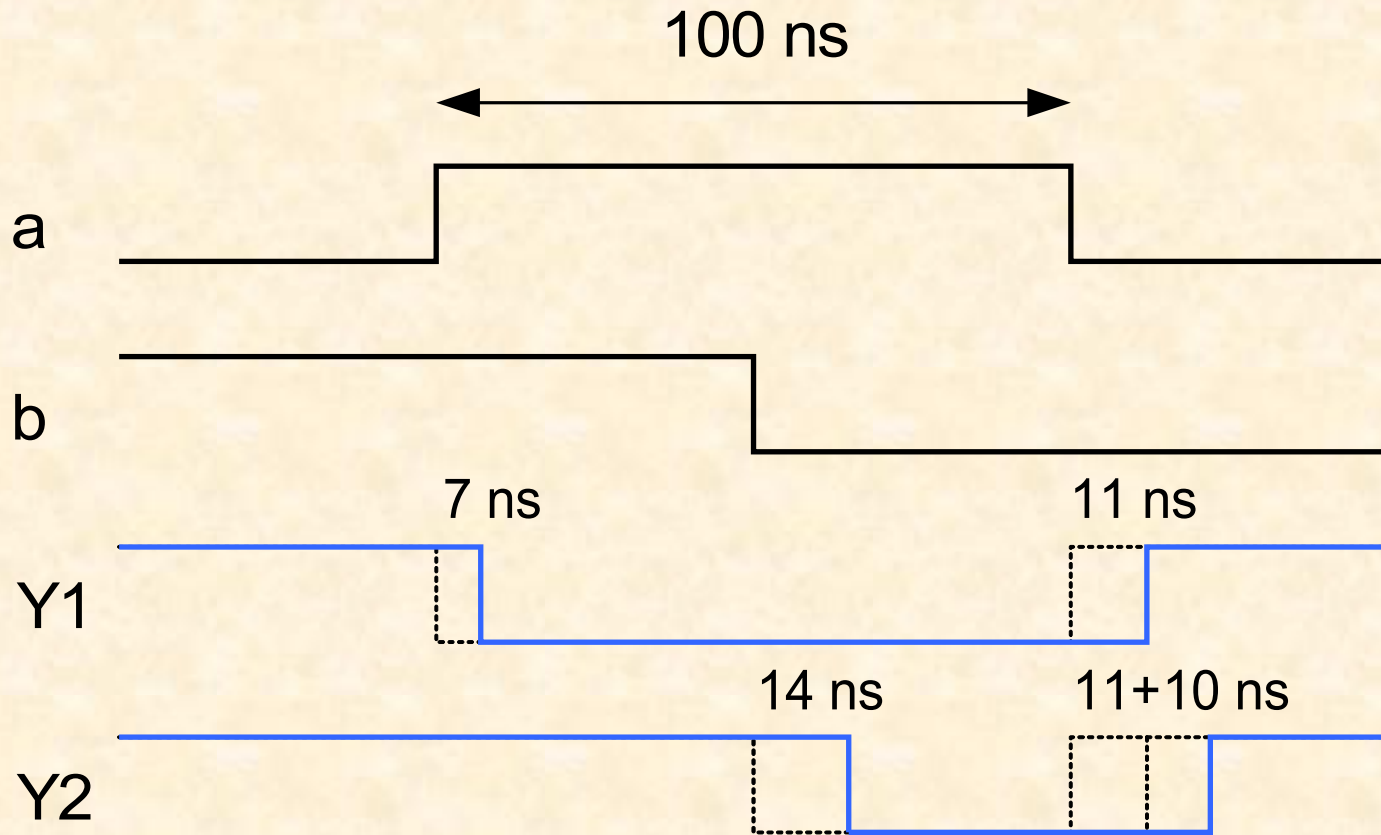
Correction :

1-  $Y1 = \overline{a \cdot 1} = \overline{a}$

$$Y2 = b + Y1 = b + \overline{a}$$



2-



3- Les durées de propagation s'additionnent, ce qui diminue la rapidité du circuit.

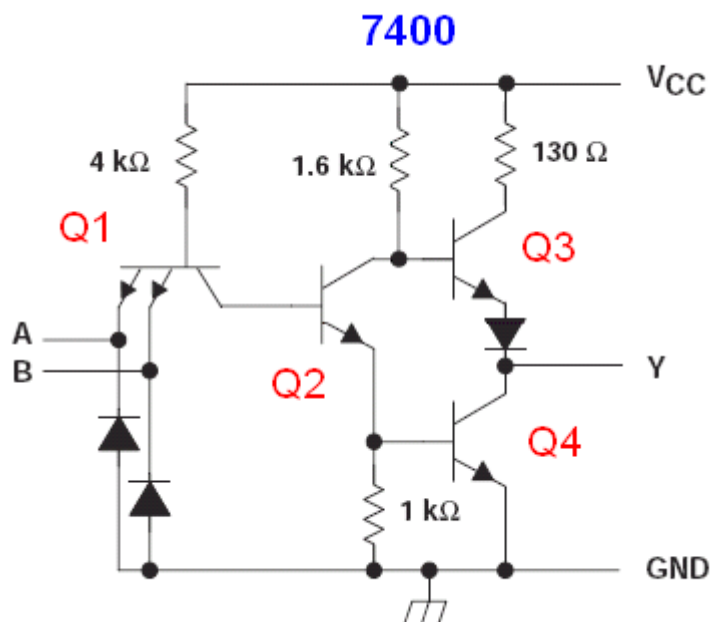
## 1-10- Fréquence maximale d'utilisation

$F_{MAX}$  est limitée par les durées de propagation (de l'ordre de 10 ns)

Pour la famille TTL-standard : environ 35 MHz.

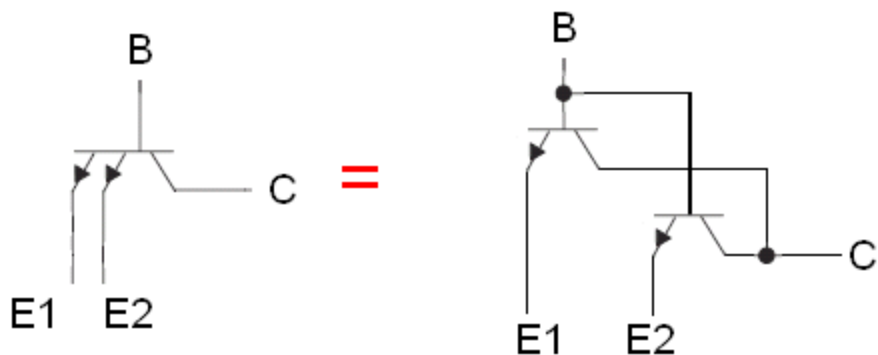


## 1-11- Schéma interne des portes logiques



- Fonctionnement simplifié du 7400 (NAND à deux entrées)

On trouve un transistor multi-émetteurs Q1 en entrée :



Si l'une au moins des entrées est au niveau bas, le transistor Q1 conduit  $\Rightarrow$  Q2 bloqué  $\Rightarrow$  Q3 conducteur et Q4 bloqué  $\Rightarrow$  sortie au niveau haut.

Remarques :

- Le courant maximum dans la résistance de 4 k $\Omega$  est :

$$(V_{CC} - V_{BE1})/4 \text{ k}\Omega \approx (5 - 0,6)/4 \text{ k}\Omega = 1,1 \text{ mA}$$

Aux incertitudes près, on retrouve la valeur indiquée par le constructeur :  $|I_{IL} \text{ max}| = 1,6 \text{ mA}$

- Le courant maximum débité en sortie est :

$$(V_{CC} - V_{CE3} - V_{\text{diode}})/130 \Omega \approx (5 - 0,2 - 0,6)/130 \Omega = 32 \text{ mA}$$

Le constructeur indique que :  $|I_{OS} \text{ max}| = 55 \text{ mA}$

Si toutes les entrées sont au niveau haut, le transistor Q1 conduit en inverse (avec un  $\beta$  faible)  $\Rightarrow$  Q2 conducteur  $\Rightarrow$  Q3 bloqué et Q4 conducteur  $\Rightarrow$  sortie au niveau bas.

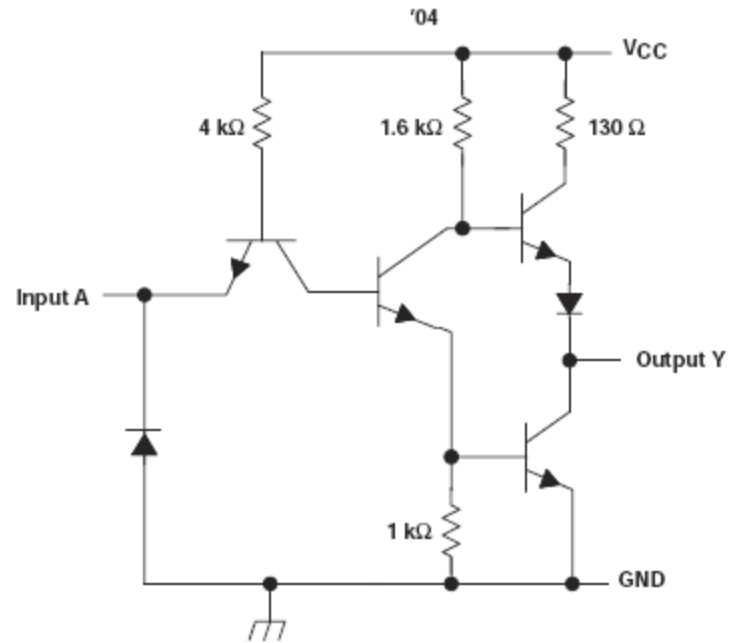
On retrouve bien la table de vérité de la porte NAND.

Remarque :

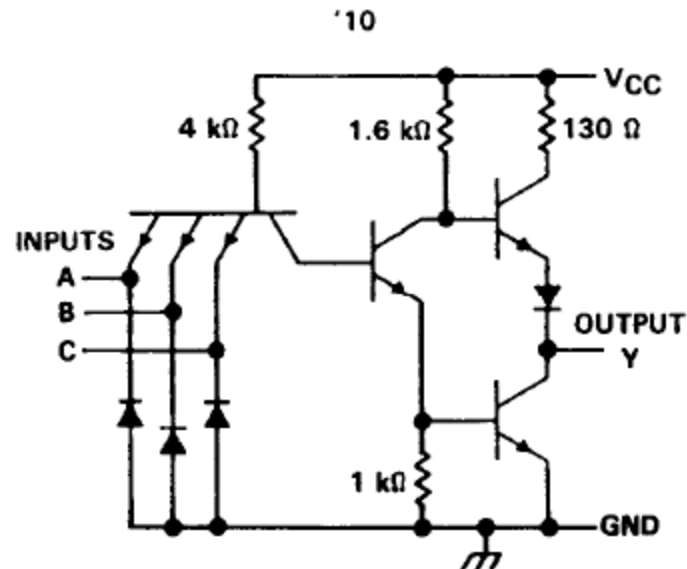
- Le courant maximum dans la résistance de 1,6 k $\Omega$  est :

$$(V_{CC} - V_{CE2} - V_{BE4})/1,6 \text{ k}\Omega \approx (5 - 0,2 - 0,6)/1,6 \text{ k}\Omega = 2,6 \text{ mA}$$

- Une porte inverseuse (7404) est construite comme une porte NAND à une entrée :

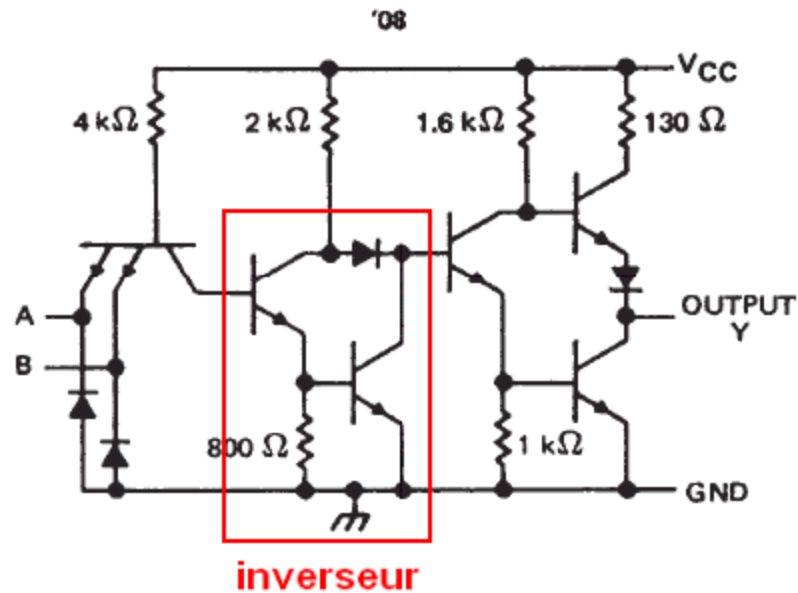


- Sans surprise, voici le schéma interne d'une porte NAND à 3 entrées (7410) :

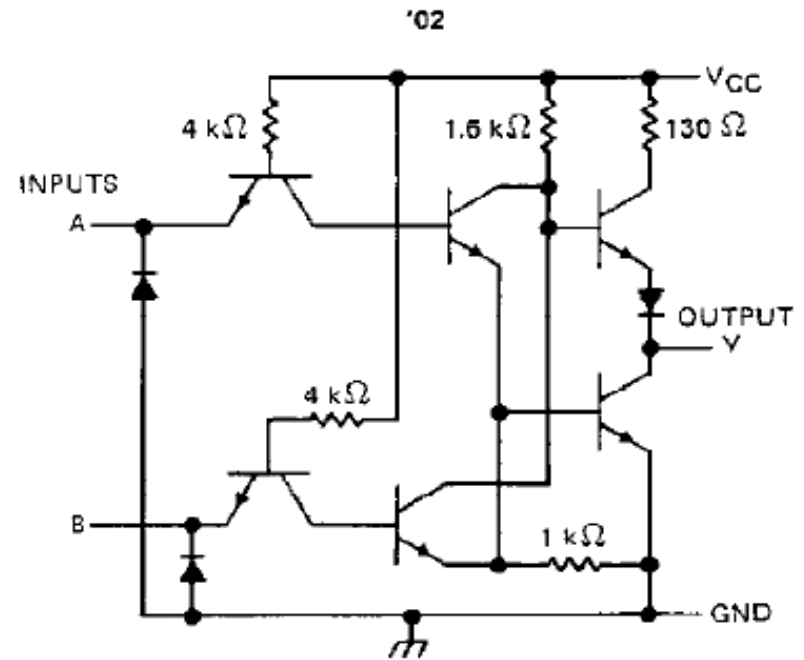


- Schéma interne d'une porte AND (7408)

Une porte AND est une porte NAND dont on inverse la sortie :

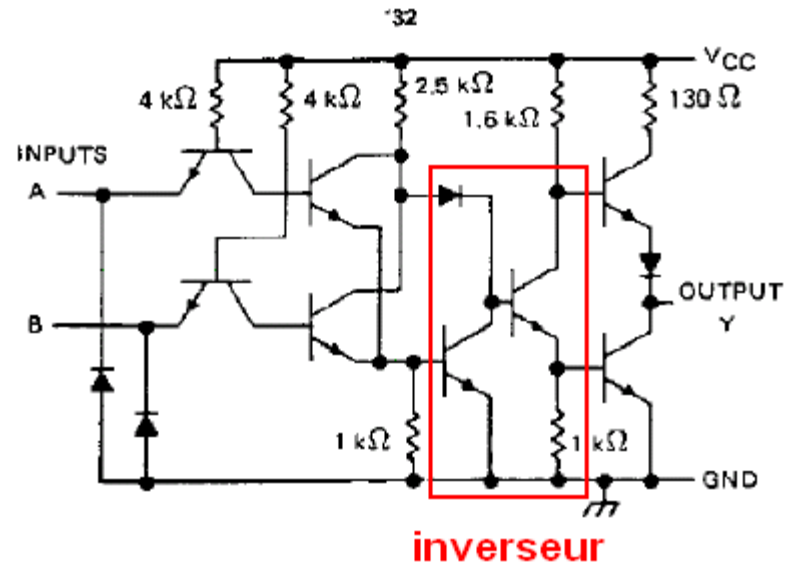


- Schéma interne d'une porte NOR (7402)



- Schéma interne d'une porte OR (7432)

Une porte OR est une porte NOR dont on inverse la sortie :



## 1-12- Consommation électrique

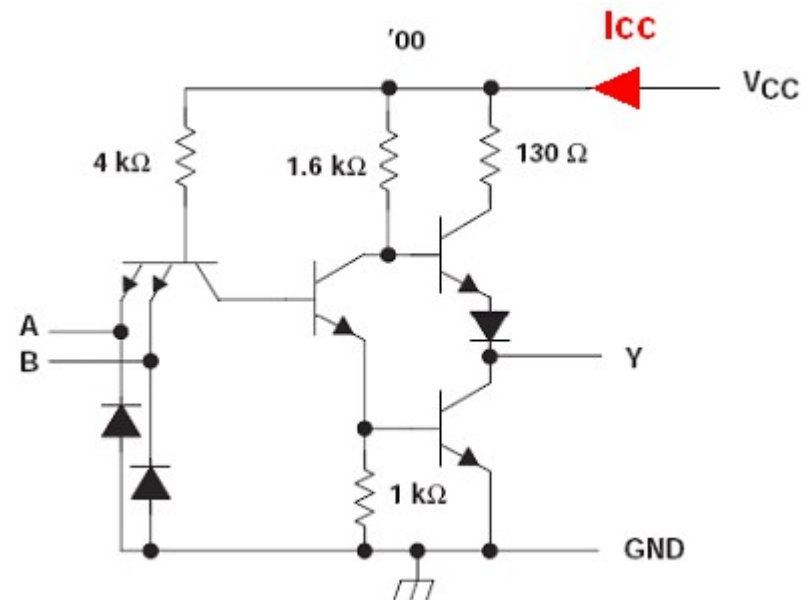
Exemple d'une porte NAND 7400

- sortie au niveau haut : environ 1 mA
- sortie au niveau bas : environ 3 mA

Pour le boîtier (4 portes) :


$$I_{CCH} = 4 \text{ mA (typique)}$$

$$I_{CCL} = 12 \text{ mA (typique)}$$

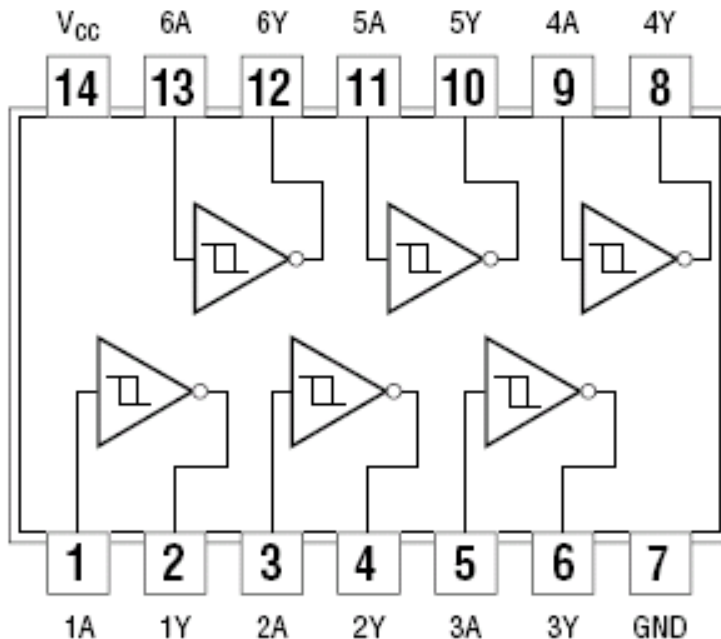




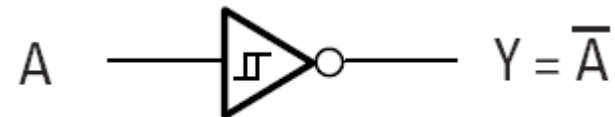
# Chapitre 2- Porte à entrées « Trigger de Schmitt »

- Symbole : 
- Exemple : 7414 (sextuple portes inverseuses à trigger de Schmitt)

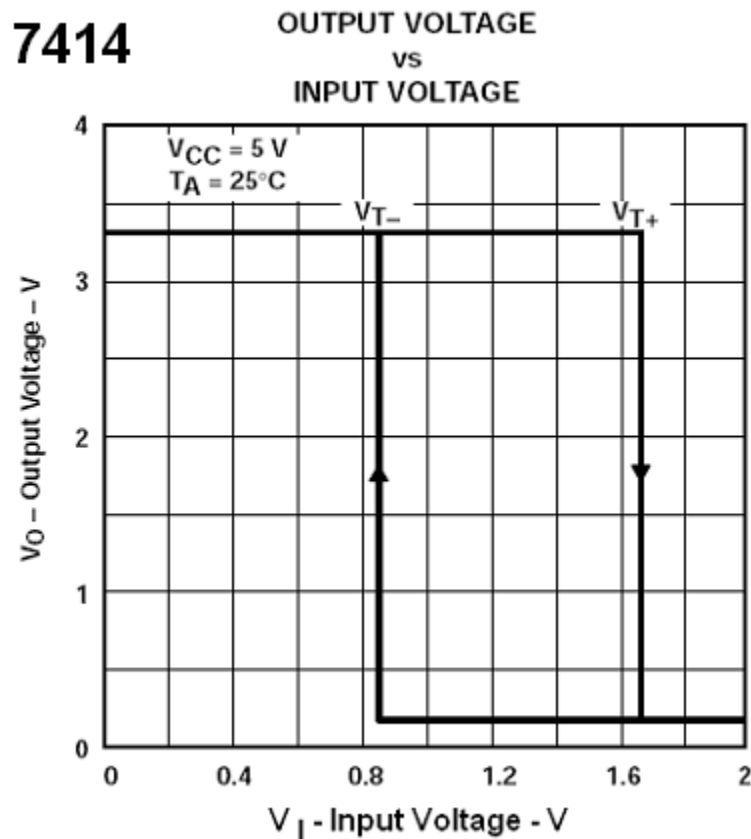
## 7414 HEX SCHMITT-TRIGGER INVERTERS



### Logic Diagram



La différence entre une porte inverseuse conventionnelle (7404) et une porte inverseuse à trigger de Schmitt se trouve dans la caractéristique de transfert :



Tensions de seuil :

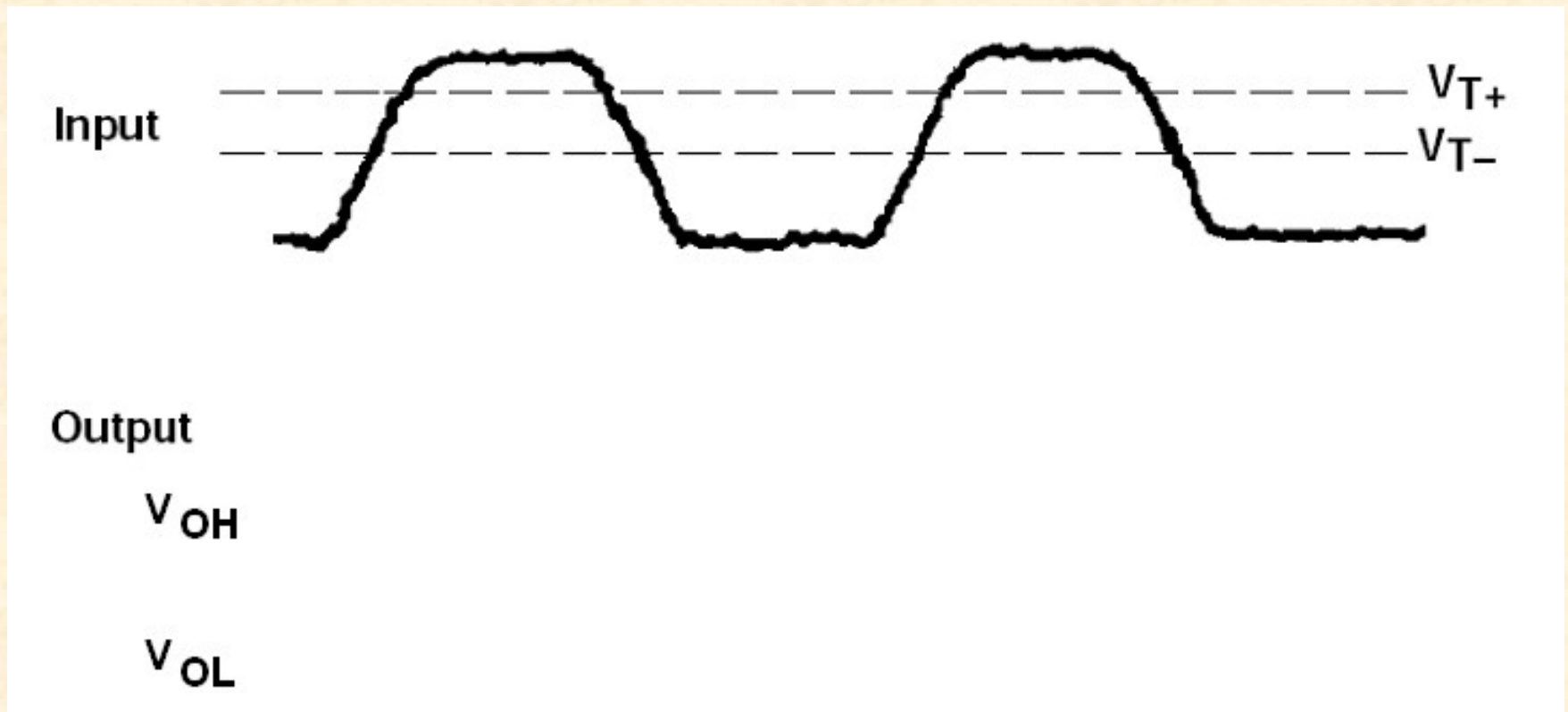
$$V_{T+} = 1,7\text{ V (typ.)}$$

$$V_{T-} = 0,9\text{ V (typ.)}$$

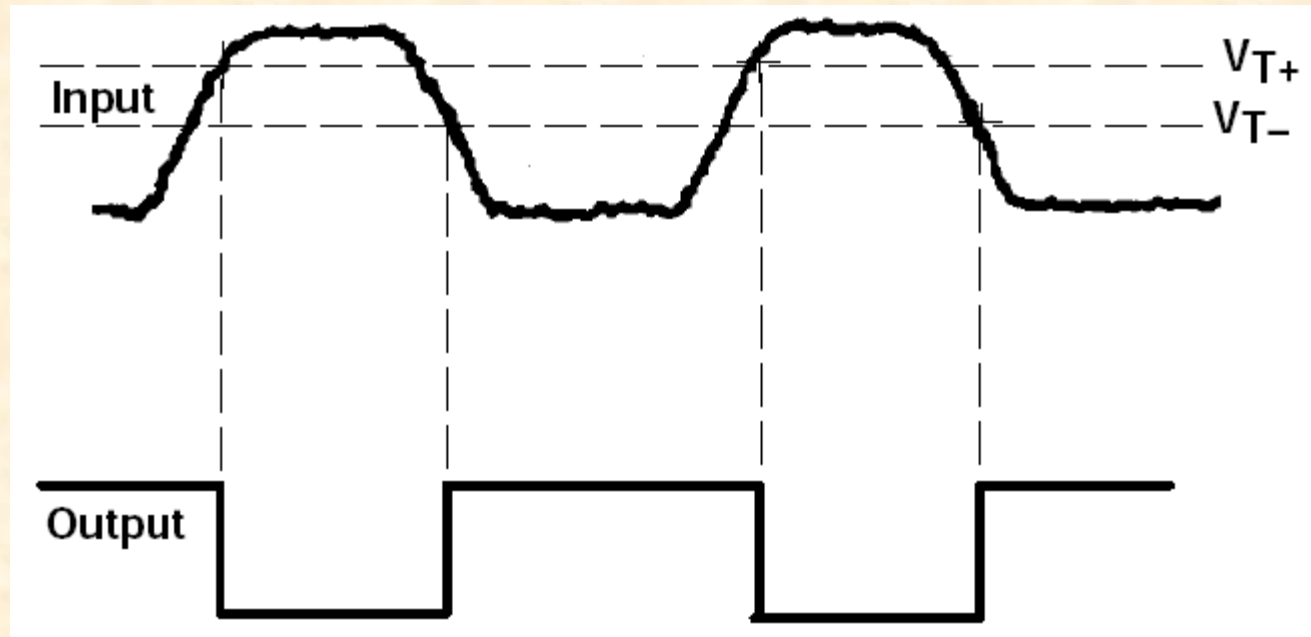
Application : mise en forme de signaux d'évolution lente.

- **Exercice**

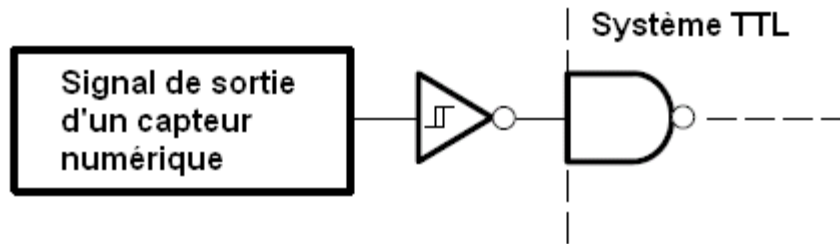
Compléter le chronogramme.



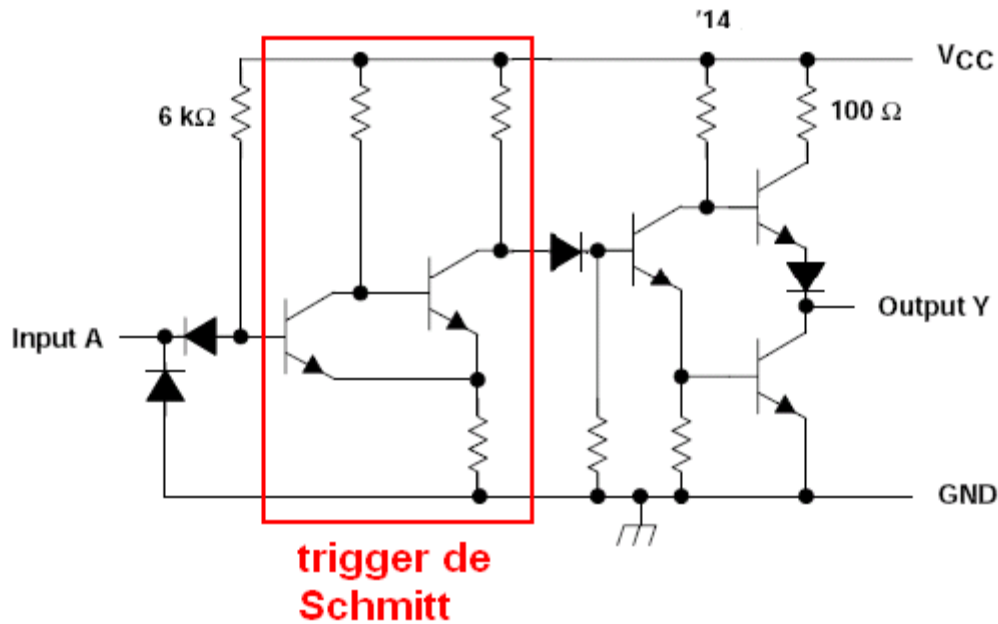
Correction :



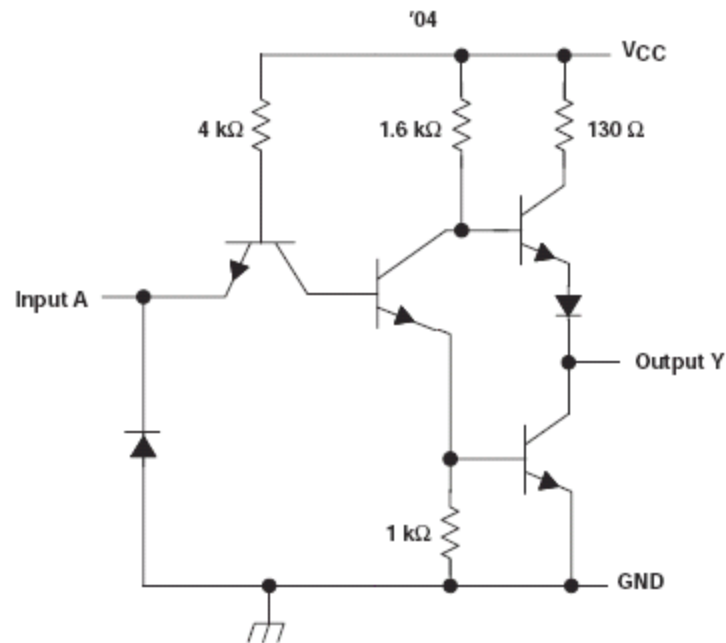
On peut ainsi faire l'interface entre un capteur et un système électronique en logique TTL :



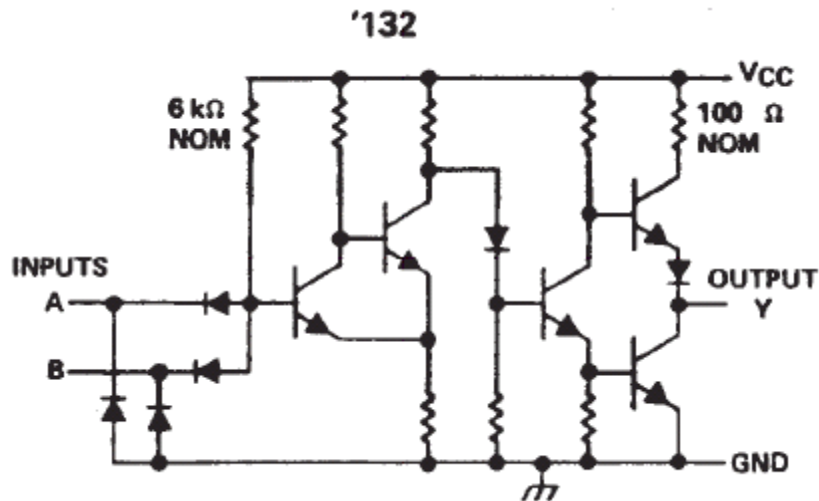
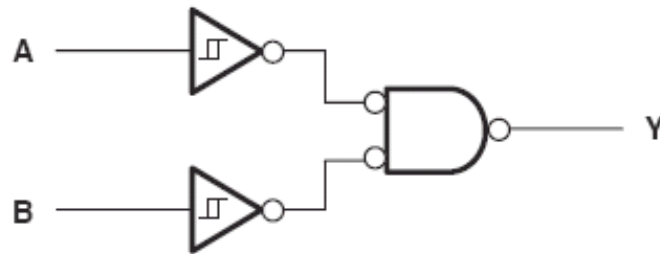
- Schéma interne d'une porte 7414



A comparer avec une porte inverseuse conventionnelle (7404) :



- Schéma interne d'une porte 74132 (quadruple 2-input NAND Schmitt Trigger)



## Chapitre 3- Sortie en configuration « buffer »

- Symbole : 

- Par rapport à une sortie en configuration « totem pôle », les courants de sortie sont plus importants (sortie amplifiée).

La sortance est donc plus importante.

- Utilisation typique : buffer de bus (tampon de bus)



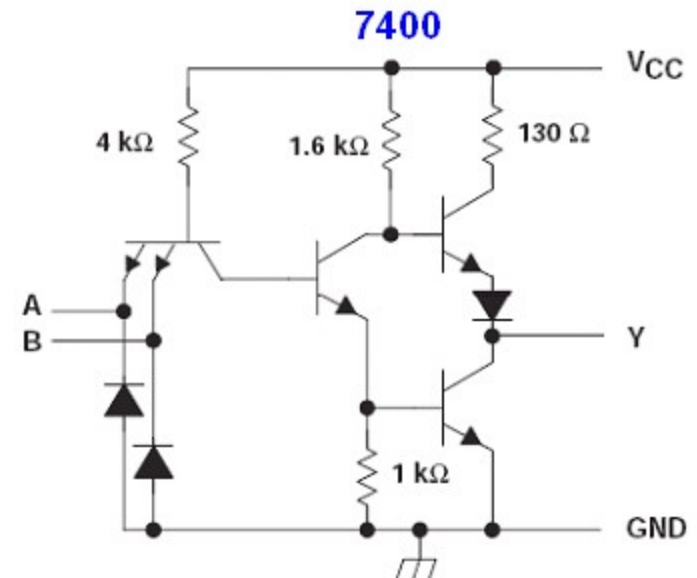
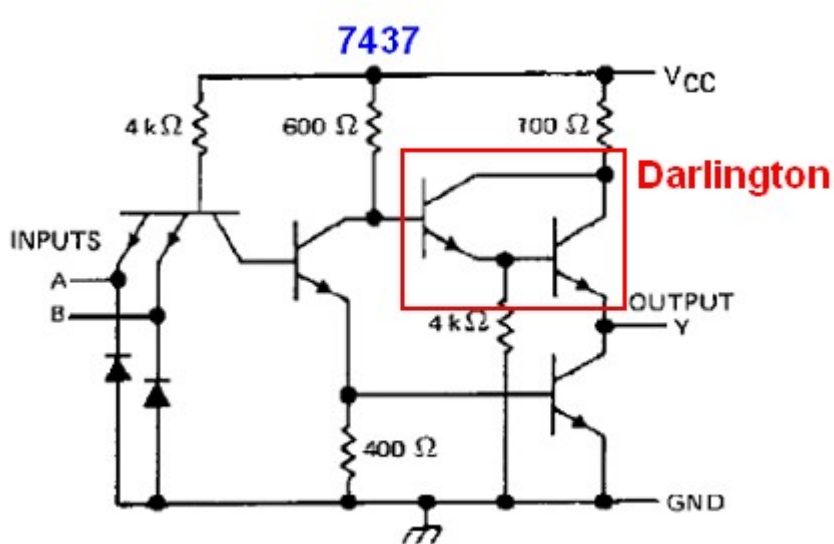
- Exemple : **7437 (quadruple 2-input NAND Buffers)**

$$I_{OH} \text{ max} = -1200 \mu\text{A}$$

$$I_{OL} \text{ max} = 48 \text{ mA}$$

Sortance = 30

C'est 3 fois plus qu'une porte NAND 7400.



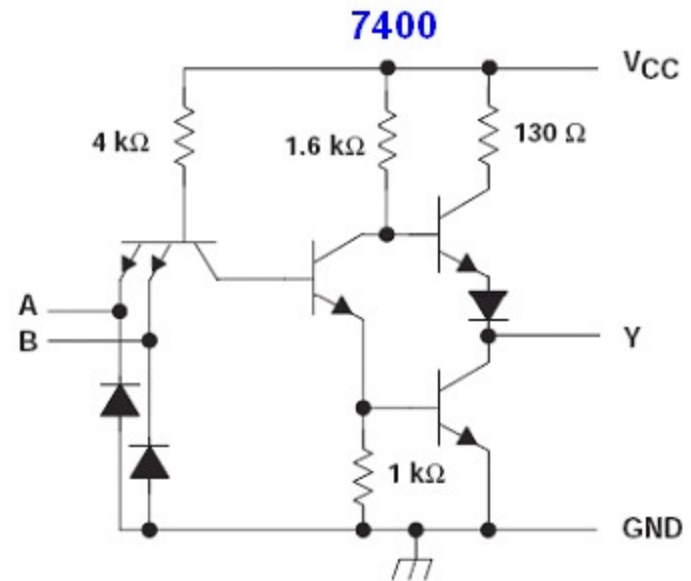
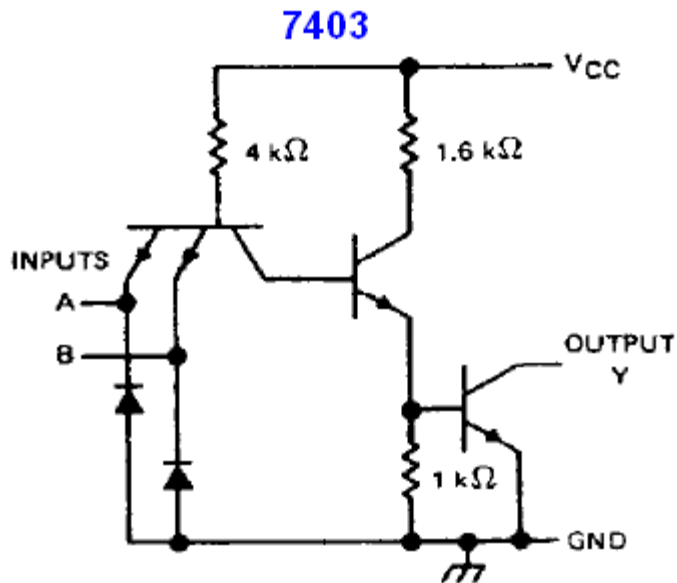
# Chapitre 4- Sortie en configuration

## « collecteur ouvert »

• Symbole : 

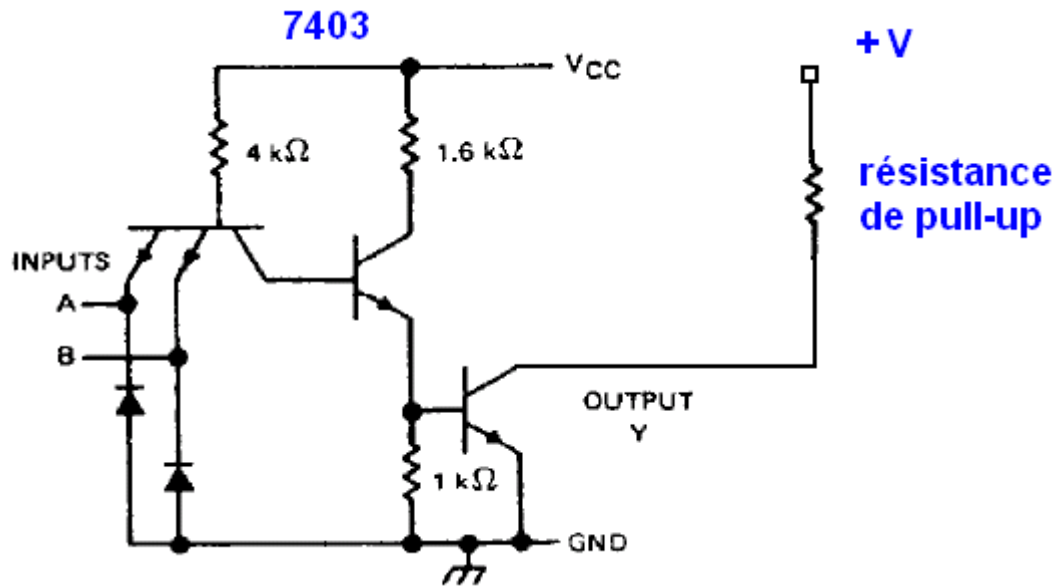
• Structure interne

Exemple : 7403 (quadruple 2-input NAND gates with open-collector outputs)



- Résistance de pull-up

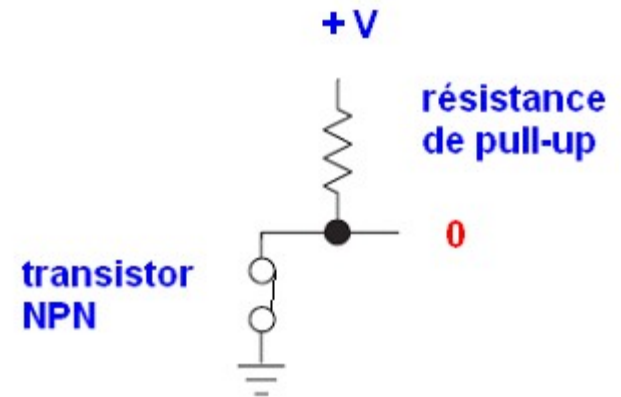
Une sortie de type collecteur ouvert nécessite une charge externe :  
la résistance de « pull-up » :



- Sortie au niveau bas

Le transistor est saturé.

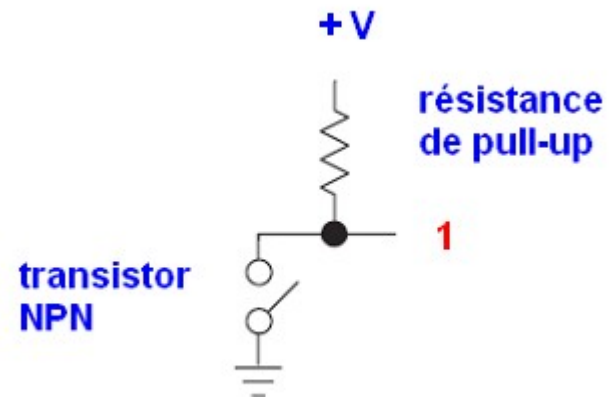
La sortie consomme un courant drainé par la résistance de pull-up :



- Sortie au niveau haut

Le transistor est bloqué.

La sortie consomme un courant négligeable.

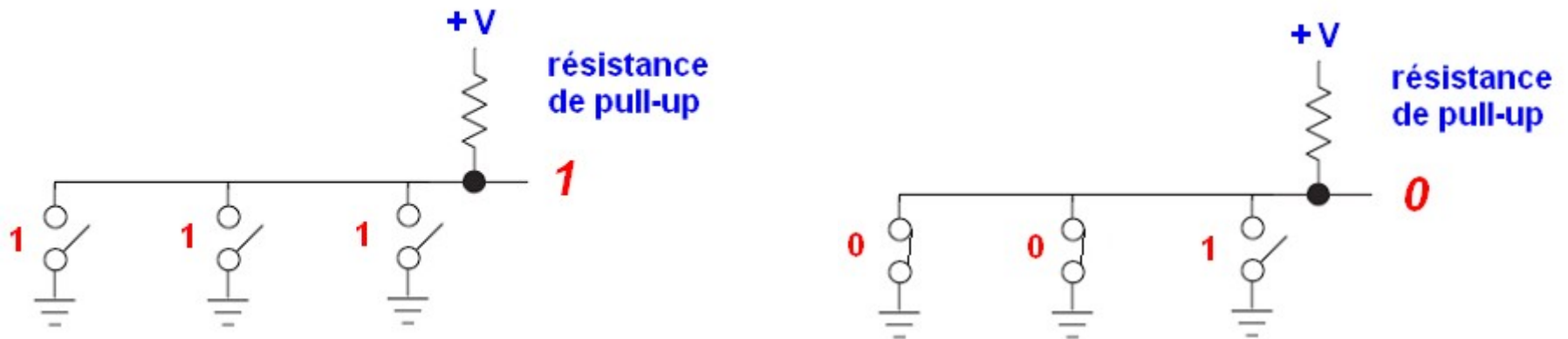


- ET câblé

La configuration collecteur ouvert autorise l'interconnexion des sorties.

La sortie commune est au niveau haut si et seulement si tous les transistors sont bloqués.

On a donc réalisé une fonction logique ET « câblé » :



- Principales caractéristiques du 7403 (quadruple 2-input NAND gates with open-collector outputs)

$V_{OH} \text{ max}$                       5,5 V

$I_{OL} \text{ max}$                         16 mA (comme le 7400)

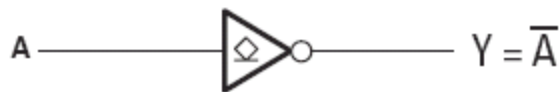
$t_{PLH} \text{ max}$                         45 ns (trois fois plus lent que le 7400)

$t_{PHL} \text{ max}$                         15 ns (comme le 7400)

- Certaines portes combinent sortie « collecteur ouvert », sortie « buffer » et sortie « haute tension »

Exemple : **7406 (hex inverter buffers with open-collector outputs high-voltage outputs)**

Logic Diagram

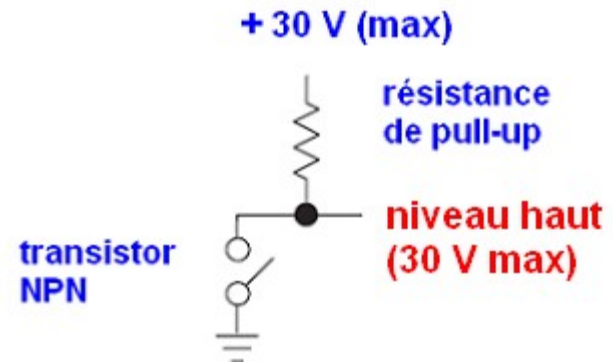


$V_{OH} \text{ max}$       30 V (haute tension)

$I_{OL} \text{ max}$       40 mA (buffer)

$t_{PLH} \text{ max}$       15 ns

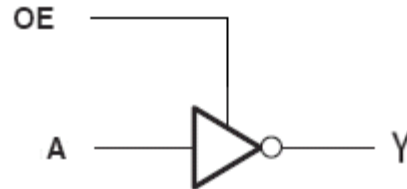
$t_{PHL} \text{ max}$       23 ns



# Chapitre 5- Sortie en configuration « 3 états »

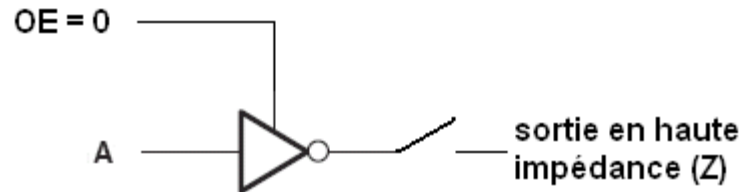
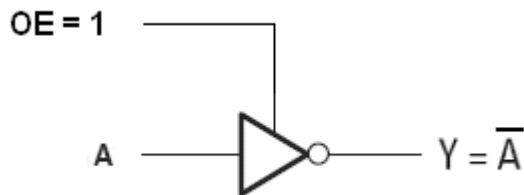
• Symbole 

• Entrée de validation (OE)



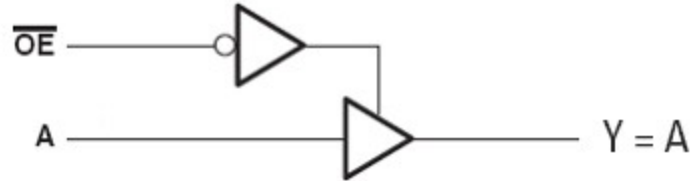
Si  $OE = 0$ , la sortie est en haute impédance (état « Z »).

Si  $OE = 1$ , la porte logique se comporte normalement.





## Exemple : 74125A (quadruple bus buffer gates with three-state outputs)



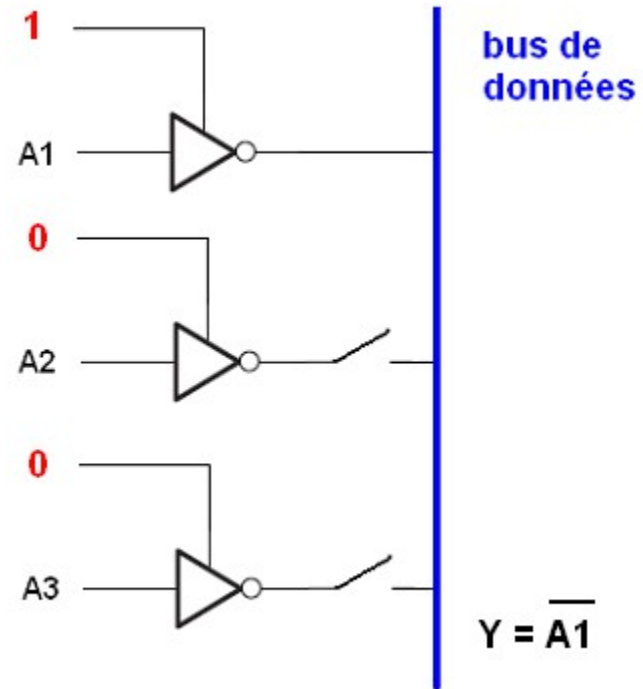
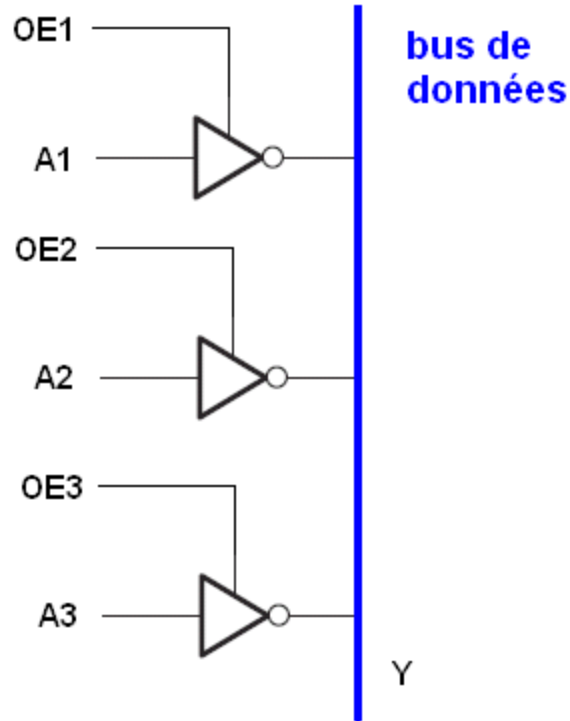
La sortie de la porte non inverseuse est dans l'état haute impédance quand  $\overline{OE} = 1$ .

$$I_{OH} \text{ max} = -5,2 \text{ mA}$$

$$I_{OL} \text{ max} = 16 \text{ mA}$$

- Utilisation typique : bus de données

L'état haute impédance permet l'interconnexion des sorties.



Pour utiliser le bus, la sortie concernée doit être active ( $OE = 1$ ).

Les autres sorties sont nécessairement dans l'état « Z » ( $OE = 0$ ).

## Chapitre 6- Autres familles TTL-5 volts

En dehors de la famille historique TTL-standard, il existe des familles un peu plus récentes :

TTL-S : Schottky (rapide, mais consommation importante)

TTL-LS : Low-power Schottky (faible consommation)

TTL-AS : Advanced Schottky (rapide)

TTL-F : Fast (assez faible consommation, rapide)

TTL-ALS : Advanced Low-power Schottky (faible consommation, assez rapide)

Pour toutes ces familles, la tension d'alimentation nominale est :

$$V_{CC} = 5,0 \text{ V}$$

- Comparatif : 7400, 74LS00, 74S00, 74ALS00, 74AS00, 74F00

PARAMETER	MAX or MIN	TTL	LS	S	ALS	AS	F	UNIT
I <sub>CC</sub>	MAX	22	4.4	36	3	17.4	10.2	mA
I <sub>OH</sub>	MAX	-0.4	-0.4	-1	-0.4	-2	-1	mA
I <sub>OL</sub>	MAX	16	8	20	8	20	20	mA

I<sub>CC</sub> : courant d'alimentation du boîtier (broche V<sub>CC</sub>)

#### SWITCHING CHARACTERISTICS

PARAMETER	INPUT	OUTPUT	MAX or MIN	TTL	LS	S	ALS	AS	F
t <sub>PLH</sub>	A or B	Y	MAX	22	15	4.5	11	4.5	6
t <sub>PHL</sub>	A or B	Y	MAX	15	15	5	8	4	5.3

UNIT:ns

## Conclusion

Le monde des circuits numériques est loin de se limiter à la technologie TTL-5V. On citera les familles :

- CMOS (série 4000, HC ...)
- BiCMOS (ABT, LVT ...)
- Advanced CMOS (AHC, AUC...)

L'évolution technique se traduit par l'apparition régulière de familles de plus en plus miniaturisées, de plus en plus rapides, de moins en moins consommatrices d'énergie, et de moins en moins polluantes en termes d'environnement (directive RoHS).

On notera que la tension d'alimentation est de plus en plus faible :

5V    3,3V    2,5V    1,8 V    1,5 V    1,2 V    0,8 V ...

# Bibliographie

Site de Texas Instruments :

*[www.ti.com](http://www.ti.com)*